

**SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**

Patent Number: JP2000058818  
Publication date: 2000-02-25  
Inventor(s): NAKAMURA RYOICHI  
Applicant(s): NEC CORP  
Requested Patent: JP2000058818  
Application Number: JP19980218037 19980731  
Priority Number(s):  
IPC Classification: H01L29/78; H01L21/28  
EC Classification:  
Equivalents: JP3191287B2

**Abstract**

**PROBLEM TO BE SOLVED:** To prevent leak current in a drain side end in MOSFET having the gate electrode of two layer structure through the use of tungsten and the like on an upper layer.  
**SOLUTION:** A silicon substrate 1 is etched/removed to a prescribed depth at the periphery of a gate electrode, and an oxide film thick part is formed at the end part of a gate oxide film 2. The film thickness of the gate oxide film at the end is set to 1.4-3.0 times as large as the thickness of a center part. The gate electrode is set to two layer structure formed of phosphorus dope polysilicon 3 and WSi4.

Data supplied from the esp@cenet database - I2

**BEST AVAILABLE COPY**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-58818

(P2000-58818A)

(43) 公開日 平成12年2月25日 (2000. 2. 25)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)	
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 G	4 M 1 0 4
21/28	3 0 1	21/28	3 0 1 D	5 F 0 4 0
			3 0 1 T	

審査請求 有 請求項の数14 O L (全 11 頁)

(21) 出願番号 特願平10-218037

(22) 出願日 平成10年7月31日 (1998. 7. 31)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 中邑 良一

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100070219

弁理士 若林 忠 (外4名)

Fターム (参考) 4M104 AA01 BB01 BB36 BB40 CC05

DD13 FF06 FF13 FF14 GG09

HH16

5F040 DA00 DC01 EC01 EC04 EC07

EC12 EC13 EC19 ED09 EF01

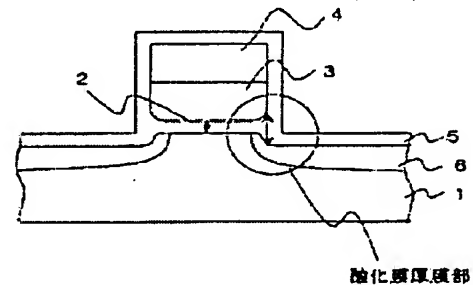
FC23

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 上層にタングステン等を用いた2層構造のゲート電極を有するM O S F E Tにおいて、ドレイン側端部におけるリーク電流の発生を防止すること。

【解決手段】 シリコン基板1をゲート電極周辺において所定深さまでエッチング除去し、ゲート酸化膜2の端部に酸化膜厚膜部を形成する。端部におけるゲート酸化膜の膜厚は、中央部の厚みの1. 4〜3. 0倍とする。ゲート電極は、たとえばリンドーパリシリコン3、W S i 4からなる2層構造とする。



- 1 シリコン基板
- 2 ゲート酸化膜
- 3 リンドーパリシリコン
- 4 WSi
- 5 シリコン酸化膜
- 6 多晶層

【特許請求の範囲】

【請求項 1】 シリコン基板と、該シリコン基板上にゲート酸化膜を介して設けられたゲート電極と、該ゲート電極の両脇に形成されたソース領域およびドレイン領域とを有し、該ゲート電極は多結晶シリコンからなる下層部と金属材料からなる上層部とを有し、前記ゲート電極のゲート長方向中央部における前記ゲート酸化膜の膜厚は10nm以下であり、前記ゲート電極のゲート長方向端部における前記ゲート酸化膜の膜厚は、前記ゲート長方向中央部におけるゲート酸化膜の膜厚の1.4～3.0倍であることを特徴とする半導体装置。

【請求項 2】 前記ゲート電極の前記上層部は、タングステン、銅、タングステンシリサイド、チタンシリサイド、モリブデンシリサイド、およびコバルトシリサイド

からなる群から選ばれた一種または二種以上の材料からなることを特徴とする請求項 1に記載の半導体装置。

【請求項 3】 前記ゲート電極の周囲部で前記基板が所定深さまで除去されていることを特徴とする請求項 1または2に記載の半導体装置。

【請求項 4】 前記ゲート電極を埋め込むように形成された層間絶縁膜をさらに有し、前記層間絶縁膜の所定箇所に、前記ゲート電極と隣りして内壁がシリコン酸化膜で覆われたコンタクトホールが形成され、前記ゲート電極と前記コンタクトホールとの間にドレイン領域を有する半導体装置であって、下記式(1)または(2)を満たすことを特徴とする請求項 1乃至3いずれかに記載の半導体装置。

【数 1】

$$x > -3 \times T_{ox} + 20 \times \sqrt{2.29 \times \left( \frac{T_{ox}}{10} \right)^2 + 3.26 \times \frac{V_{oc}}{N_D \times 10^{18}}} \quad (1)$$

$$x > \sqrt{\frac{0.226T}{N_D \times 10^{18}}} \times (18 + \ln \frac{N_D}{10^{17}}) \quad (2)$$

(前記シリコン酸化膜と前記シリコン基板とが接する部分のゲート電極側の端部と、前記ゲート酸化膜の前記コンタクトホール側の端部との距離を $x$ (nm)、前記ゲート酸化膜の端部の膜厚を $T_{ox}$ (nm)、前記ゲート電極と前記ドレイン領域との間の電圧を $V_{oc}$ (V)、前記ドレイン領域の不純物濃度を $N_D$ ( $cm^{-3}$ )、前記半導体装置の使用温度を $T$ (K)とする。)

【請求項 5】 (A)シリコン基板表面にシリコン酸化膜、多結晶シリコン膜、および、金属シリサイド膜もしくは金属膜をこの順で形成する工程と、(B)ゲート電極形成箇所にもマスクを設けた後、前記シリコン酸化膜、多結晶シリコン膜、および、金属シリサイド膜もしくは金属膜の不要箇所をエッチングにより除去してゲート電極を形成し、さらに前記基板を所定深さまでエッチングする工程と、(C)酸素を含む雰囲気下で加熱処理を行う工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 6】 (B)の工程で、前記シリコン基板を1～10nmエッチングすることを特徴とする請求項 5に記載の半導体装置の製造方法。

【請求項 7】 (C)の工程で、前記加熱処理により、前記ゲート電極のゲート長方向端部において、前記シリコン酸化膜を、前記ゲート長方向中央部での膜厚の1.4～3.0倍の膜厚となるまで成長させることを特徴とする請求項 5または6に記載の半導体装置の製造方法。

【請求項 8】 (C)の工程で、前記加熱処理を750～850℃の温度で行う請求項 5乃至7いずれかに記載の半導体装置の製造方法。

【請求項 9】 (A)シリコン基板表面にシリコン酸化膜、多結晶シリコン膜、および、金属シリサイド膜もし

くは金属膜をこの順で形成する工程と、(B)前記シリコン酸化膜、多結晶シリコン膜、および、金属シリサイド膜もしくは金属膜の不要箇所を除去してゲート電極を形成する工程と、(C)酸素を含む雰囲気下で第一の加熱処理を行い前記ゲート電極周囲部の基板表面にシリコン熱酸化膜を形成した後、このシリコン熱酸化膜を除去する工程と、(D)酸素を含む雰囲気下で第二の加熱処理を行う工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 10】 (C)の工程で、前記シリコン熱酸化膜の膜厚を2～20nmとすることを特徴とする請求項 9に記載の半導体装置の製造方法。

【請求項 11】 (C)の工程を複数回繰り返し、除去した前記シリコン熱酸化膜の合計の厚みを2～20nmとすることを特徴とする請求項 9に記載の半導体装置の製造方法。

【請求項 12】 (D)の工程で、前記第二の加熱処理により、前記ゲート電極のゲート長方向端部において、前記シリコン酸化膜を、前記ゲート長方向中央部での膜厚の1.4～3.0倍の膜厚となるまで成長させることを特徴とする請求項 9乃至11いずれかに記載の半導体装置の製造方法。

【請求項 13】 (D)の工程で、前記第二の加熱処理を750～850℃の温度で行う請求項 9乃至12いずれかに記載の半導体装置の製造方法。

【請求項 14】 前記金属シリサイド膜もしくは金属膜は、タングステン、銅、タングステンシリサイド、チタンシリサイド、モリブデンシリサイド、およびコバルトシリサイドからなる群から選ばれた一種または二種以上の材料からなることを特徴とする請求項 5乃至13い

れかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、タングステンなどの金属材料を用いたゲート電極を有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】近年、素子の高速度化に対する要請に対応すべく、MOSFETにおいてゲート電極を2層構造とする手法が広く用いられるようになってきている。図11は、その一例を示すものである。このMOSFETは、シリコン基板1上にゲート酸化膜2を介してゲート電極が設けられている。ゲート電極は、リンドープポリシリコン3からなる下層部と、WSi（タングステンシリサイド）4からなる上層部とを有している。ゲート電極をこのような2層構造とすることにより、ゲート電極が低抵抗化し、素子の高速度化を図ることが可能となる。

【0003】以下、従来のMOSFETの製造方法について図12を参照して説明する。

【0004】まず、熱酸化によりシリコン基板表面にゲート酸化膜となる膜厚10nm程度のシリコン酸化膜2を形成する。次いでその上に、リンドープシリコン3、WSi4をCVD法により成膜する。膜厚はそれぞれ100nm程度とする。ついでこれらの不要箇所を除去してゲート電極形状にパターニングする（図12（a））。

【0005】次に酸素を含む雰囲気下で加熱処理を行い、側面にシリコン酸化膜5を形成する（図12（b））。加熱処理の条件は、たとえば雰囲気温度800℃、処理時間40分とする。この条件は、表面が平坦なシリコン基板を処理したときに膜厚5nmの熱酸化膜が形成される条件である。

【0006】ついでイオン注入を行って拡散層6を形成する（図12（c））。

【0007】

【発明が解決しようとする課題】ところが上記従来技術では、ゲート電極のドレイン側端部においてGIDL（Gate Induced Drain Leakage Current）とよばれるリーク電流が発生し、問題となっていた。これは、ゲート電極端部において電界の集中が起こるため、トンネル現象に起因するリーク電流が発生するというものである。

【0008】このGIDLの発生は、従来のポリシリコン（多結晶シリコン）のみからなる単層構造ゲート電極を有するMOSFETではあまり問題となっていなかった。この理由について以下説明する。ポリシリコンゲートを有するMOSFETでは、ゲート電極形成後、側面部の酸化工程で、比較的強い酸化条件、たとえば、表面が平坦なシリコン基板を処理したときに膜厚10nm程度の熱酸化膜が形成される条件で酸化を行うことが可能であった。これは、このような強い酸化条件で酸化を行

っても、通常、ポリシリコンが異常酸化等により損傷を受けることはないからである。このため側面にパースピークが成長し、結果としてゲート端部に酸化膜の厚膜部が発生していた（図10）。この厚膜部の存在により、ゲート電極端部における電界集中が緩和されるのでGIDLが発生しにくくなっていたのである。

【0009】ところが、上層にタングステン等を用いた2層構造のゲートとした場合は、ポリシリコンゲートのように強い酸化条件で酸化を行うことはできない。強い酸化条件で酸化を行うと、上層のタングステン等が異常酸化をおこすためである。したがって、ゲート電極側面部の酸化工程は弱い酸化条件、たとえば、表面が平坦なシリコン基板を処理したときに膜厚5nm程度の熱酸化膜が形成される条件を選択する必要がある。このような条件では、ゲート側面にパースピークがわずしか成長せず、ゲート端部において十分な酸化膜厚膜部が発生しない（図12（b）の囲み部）。このためゲート電極端部に電界集中が起こり、GIDLの発生が問題となる。なお、RTA（Rapid Thermal Annealing）によりゲート端部の酸化膜厚膜部を形成する方法も考えられるが、工程が煩雑化する。

【0010】近年、素子の微細化に伴ってゲート酸化膜が薄酸化される傾向にあるが、GIDLの発生はゲート酸化膜の平均厚みが薄いほど著しくなり、20nm以下、特に10nm以下の場合に顕著となる。

【0011】くわえて、素子の微細化に伴いゲート電極とコンタクトホール間の距離が短くなるにつれ、GIDLの問題は一層顕著となる。コンタクトホールの内壁には、通常、ノンドープシリコン（以下、「NSG膜」と称す）等からなる側面酸化膜を設け、ホールに埋め込まれた金属膜とゲート電極との短絡を防止している。ところが、このNSG膜は、基板と接触する部分の近傍において界面準位を発生させる。ドレイン領域中にこのような界面準位が生じると、トンネル現象に起因するGIDLが一層発生しやすくなるのである。

【0012】以上のように、素子の微細化に伴って、上記GIDLの問題への対策は従来にまして強く望まれている。

【0013】本発明は上記事情に鑑みてなされたものであり、上層にタングステン等を用いた2層構造のゲート電極を有するMOSFETにおいて、ドレイン側端部におけるリーク電流（GIDL）の発生を防止することを目的とする。

【0014】

【課題を解決するための手段】上記課題を解決する本発明によれば、シリコン基板と、該シリコン基板上にゲート酸化膜を介して設けられたゲート電極と、該ゲート電極の両脇に形成されたソース領域およびドレイン領域とを有し、該ゲート電極は多結晶シリコンからなる下層部と金属材料からなる上層部とを有し、前記ゲート電極の

ゲート長方向中央部における前記ゲート酸化膜の膜厚は10nm以下であり、前記ゲート電極のゲート長方向端部における前記ゲート酸化膜の膜厚は、前記ゲート長方向中央部におけるゲート酸化膜の膜厚の1.4～3.0倍であることを特徴とする半導体装置が提供される。

【0015】本発明は、ゲート酸化膜の中央部の膜厚が10nm以下であるのに対し、ゲート酸化膜の端部の膜厚が中央部の1.4～3.0倍となっている。このため、ゲート端部のドレイン領域との境界において電界の集中を緩和し、リーク電流を効果的に防止することができる。またゲート電極が金属材料からなる上層部を有するため優れた応答性が得られる。

【0016】ここでゲート酸化膜の「中央部」とは、基板表面に形成されるチャネル層とゲート電極との間に挟まれた部分であって、ゲート酸化膜の中央付近の領域を

いう。また、ゲート酸化膜の「端部」とは、上記「中央部」を除く領域をいう。たとえば図1の半導体装置では、中央部の矢印で示した膜厚を10nm以下とし、図4の矢印で示した膜厚を中央部の1.4～3.0倍とする。

【0017】また本発明によれば、上記半導体装置において、前記ゲート電極を埋め込むように形成された層間絶縁膜をさらに有し、前記層間絶縁膜の所定箇所に、前記ゲート電極と離間して内壁がシリコン酸化膜で覆われたコンタクトホールが形成され、前記ゲート電極と前記コンタクトホールとの間にドレイン領域を有する半導体装置であって、下記式(1)または(2)を満たすことを特徴とする半導体装置が提供される。

【0018】

【数2】

$$x > -3 \times T_{ox} + 20 \times \sqrt{2.29 \times \left( \frac{T_{ox}}{10} \right)^2} + 3.26 \times \frac{V_{oc}}{N_D \times 10^{-18}} \quad (1)$$

$$x > \sqrt{\frac{0.226T}{N_D \times 10^{-18}}} \times \left( 18 + \ln \frac{N_D}{10^{19}} \right) \quad (2)$$

(前記シリコン酸化膜と前記シリコン基板とが接する部分のゲート電極側の端部と、前記ゲート酸化膜の前記コンタクトホール側の端部との距離を $x$ (nm)、前記ゲート酸化膜の端部の膜厚を $T_{ox}$ (nm)、前記ゲート電極と前記ドレイン領域との間の電圧を $V_{oc}$ (V)、前記ドレイン領域の不純物濃度を $N_D$ ( $\text{cm}^{-3}$ )、前記半導体装置の使用温度を $T$ (K)とする。)

【0019】ゲート電極に近接してコンタクトホールが設けられた半導体装置では、GIDL発生の有無は、ゲート酸化膜の膜厚のみならず、ゲート電極とコンタクトホール側端部との距離によっても影響を受ける。前述のように、ホール側壁の酸化膜によりドレイン領域中に界面電位が発生するからである。本発明は、ゲート酸化膜の端部膜厚およびゲート電極-コンタクトホール側端部との距離がGIDLのしきい値に及ぼす影響を明らかにし、これらの関係を規定したものである。本発明によればGIDLをより効果的に防止し、GIDLのしきい値を向上させることができる。

【0020】また本発明によれば、(A)シリコン基板表面にシリコン酸化膜、多結晶シリコン膜、および、金属シリサイド膜もしくは金属膜をこの順で形成する工程と、(B)ゲート電極形成箇所にマスクを設けた後、前記シリコン酸化膜、多結晶シリコン膜、および、金属シリサイド膜もしくは金属膜の不要箇所をエッチングにより除去してゲート電極を形成し、さらに前記基板を所定深さまでエッチングする工程と、(C)酸素を含む雰囲気下で加熱処理を行う工程とを含むことを特徴とする半導体装置の製造方法、が提供される。

【0021】この半導体装置の製造方法によれば、

(B)の工程でゲート電極周辺の基板を所定深さまでエッチングするため、ゲート酸化膜の下側に位置する部分がゲート電極側面に露出する。これにより(C)の工程の加熱処理を行う際、ゲート電極側面においてゲート酸化膜の下側からも酸化が進行し、パースピークが成長する。これによりゲート酸化膜の端部に厚膜部を形成することができる。この半導体装置の製造方法では、ゲート酸化膜の端部の膜厚は、基板のエッチング量を調整することで精密に制御することができる。

【0022】この半導体装置の製造方法において、

(B)の工程で、基板を1～10nmエッチングすることが好ましく、2～5nmエッチングすることがさらに好ましい。エッチング量が1nm未満ではゲート電極側面露出部分の面積が小さく、ゲート酸化膜端部の膜厚を十分に厚くすることができない場合がある。10nmを超えるとゲート酸化膜端部の膜厚が厚くなりすぎて素子効率の低下をもたらす場合がある。

【0023】また、(C)の工程で、加熱処理により、ゲート電極のゲート長方向端部において、シリコン酸化膜を所定の膜厚になるまで成長させることが好ましい。すなわち、好ましくは中央部の1.4～3.0倍、さらに好ましくは2.0～2.5倍となるまで成長させる。このシリコン酸化膜はゲート酸化膜端部に相当し、この膜厚を上記範囲とすることにより、リーク電流を効果的に防止することができる。

【0024】また、(D)の工程で、加熱処理を750～850℃の温度で行うことが好ましい。このような温度範囲とすることによりゲート酸化膜端部の膜厚を適切な値に制御することができる。

【0025】また本発明によれば、(A) シリコン基板表面にシリコン酸化膜、多結晶シリコン膜、および、金属シリサイド膜もしくは金属膜をこの順で形成する工程と、(B) 前記シリコン酸化膜、多結晶シリコン膜、および、金属シリサイド膜もしくは金属膜の不要箇所を除去してゲート電極を形成する工程と、(C) 酸素を含む雰囲気下で第一の加熱処理を行い前記ゲート電極周囲部の基板表面にシリコン熱酸化膜を形成した後、このシリコン熱酸化膜を除去する工程と、(D) 酸素を含む雰囲気下で第二の加熱処理を行う工程とを含むことを特徴とする半導体装置の製造方法、が提供される。

【0026】本発明の半導体装置の製造方法は、ゲート酸化膜の端部の膜厚をさらに精密に制御することができる。(C) の工程において加熱条件の調整によりシリコン熱酸化膜の膜厚を容易に制御できるからである。

【0027】この半導体装置の製造方法において、

(C) の工程で、シリコン熱酸化膜の膜厚を2~20nmとすることが好ましい。(C) の工程を複数回行い、除去したシリコン熱酸化膜の合計の厚みを2~20nmとすることもできる。シリコン熱酸化膜の膜厚は、基板エッチング量の約2倍に相当する。この値が2nm未満ではゲート電極側面露出部分の面積が小さく、ゲート酸化膜端部の膜厚を十分に厚くすることができない場合がある。20nmを超えるとゲート酸化膜端部の膜厚が厚くなりすぎて素子効率の低下をもたらす場合がある。なお、シリコン熱酸化膜の膜厚をより精密に制御するためには、(C) の工程における1回の熱酸化でシリコン熱酸化膜の膜厚を2~5nmとすることがさらに好ましい。

【0028】また、(D) の工程で、加熱処理により、ゲート電極のゲート長方向端部において、シリコン酸化膜を所定の膜厚になるまで成長させることが好ましい。すなわち、好ましくは中央部の1.4~3.0倍、さらに好ましくは2.0~2.5倍となるまで成長させる。このシリコン酸化膜はゲート酸化膜端部に相当し、この膜厚を上記範囲とすることにより、リーク電流を効果的に防止することができる。

【0029】また、(D) の工程で、加熱処理を750~850℃の温度で行うことが好ましい。このような温度範囲とすることによりゲート酸化膜端部の膜厚を適切な値に制御することができる。

【0030】

【発明の実施の形態】本発明の半導体装置において、金属材料とは、タングステン、アルミ等の金属のみならず、タングステンシリサイド等の金属シリサイドも含む。たとえば、タングステン、銅、タングステンシリサイド、チタンシリサイド、モリブデンシリサイド、およびコバルトシリサイドからなる群から選ばれ一種または二種以上の材料を用いることができる。このような材料を用いることによりゲート電極の低抵抗化を図ること

ができる。

【0031】本発明の半導体装置は、ゲート酸化膜がその端部において厚膜となっている。このような構造とするには、ゲート電極の周囲部で基板が所定深さまで除去されていることが好ましい。このようにすることによって、その製造過程でゲート電極側面部からの熱酸化が促進されるため、ゲート端部においてゲート酸化膜も膜厚が厚くなった構造を容易に形成することができる。また、ゲート端部の膜厚を精密に制御することができる。ここで、ゲート電極周囲部の基板の除去量については、好ましくは1~10nm、さらに好ましくは2~5nmの深さまで除去するものとする。1nm未満ではゲート電極側面露出部分の面積が小さく、ゲート酸化膜端部の膜厚を十分に厚くすることができない場合がある。10nmを超えるとゲート酸化膜端部の膜厚が厚くなりすぎて素子効率の低下をもたらす場合がある。

【0032】本発明の半導体装置の製造方法において、金属シリサイド膜もしくは金属膜は、たとえばタングステン、銅、タングステンシリサイド、チタンシリサイド、モリブデンシリサイド、およびコバルトシリサイドからなる群から選ばれ一種または二種以上の材料からなることが好ましい。このような材料を用いることによりゲート電極の低抵抗化を図ることができる。

【0033】以下、本発明の好ましい実施の形態について説明する。

【0034】(第1の実施の形態) 本発明の第1の実施の形態について図1を参照して説明する。図1の半導体装置は、シリコン基板1上にゲート酸化膜2を介して、ゲート電極が設けられている。ゲート電極は、リンドーポリシリコン3からなる下層部と、WSi4からなる上層部とを有している。基板表面近傍には拡散層6が設けられ、ゲート電極およびシリコン基板1の表面には、シリコン酸化膜5が形成されている。ゲート酸化膜2の端部の膜厚(図中囲み部の矢印部)は中央部の1.4~3.0倍、好ましくは2.0~2.5倍とする。このような膜厚とすることで、ゲート端部のドレイン領域との境界において電界の集中を緩和し、リーク電流を効果的に防止することができる。一方、ゲート酸化膜の中央部の膜厚は10nm以下とする。このような膜厚とすることで応答性の良好な素子が得られ、また、素子の微細化に対する要請に応えることができる。なおゲート酸化膜の中央部の膜厚の下限値は特に存在しないが、例えば1nm以上とする。

【0035】(第2の実施の形態) 本発明の第2の実施の形態について図2を参照して説明する。図2の半導体装置は、シリコン基板1上にゲート酸化膜2を介して、ゲート電極が設けられている。ゲート電極は、リンドーポリシリコン3からなる下層部と、WSi(タングステンシリサイド)4からなる上層部とを有している。基板表面近傍には拡散層6が設けられ、ゲート電極および

シリコン基板 1 の表面には、シリコン酸化膜 5 が形成されている。そして、ゲート電極を埋め込むように層間絶縁膜 8 が形成され、層間絶縁膜 8 にはゲート電極と近接してコンタクトホール 10 が形成されている。コンタクトホール 10 の内壁には NSG 膜 9 が形成されている。

【0036】 このようにゲート電極に近接してコンタクトホールが設けられ、その内壁に CV D 法による NSG 膜が形成された半導体装置では、上記 NSG 膜と基板とが接する箇所において界面準位が発生する。このため GIDL 発生の有無は、ゲート酸化膜の膜厚のみならず、ゲート電極とコンタクトホール端部との距離（図中の x）によっても影響を受ける。具体的には、ゲート電極直下から横方向に延在する空乏層が、上記シリコン酸化膜と基板とが接する箇所まで達する場合、界面準位の影響により GIDL が発生しやすくなる。

【0037】 したがって、図 2 のような半導体装置で

は、ゲート電極端部におけるゲート酸化膜の膜厚（図中の  $T_{ox}$ ）、およびゲート電極とコンタクトホール端部との距離（図中の x）が、GIDL 発生の有無を決定する要因となる。

【0038】 そこで、本実施形態では、ゲート酸化膜の端部膜厚およびゲート電極-コンタクトホール端部との距離が GIDL のしきい値に及ぼす影響を明らかにし、これらの関係を最適化している。

【0039】 本実施形態では、ゲート酸化膜 2 の端部の膜厚は中央部の 1.4~3.0 倍、好ましくは 2.0~2.5 倍としている。一方、ゲート酸化膜の中央部の膜厚は 10nm 以下としている。

【0040】 また、図中に示す x と  $T_{ox}$  は、下記式（1）または（2）を満たす。

【0041】

【数 3】

$$x > -3 \times T_{ox} + 20 \times \sqrt{2.29 \times \left( \frac{T_{ox}}{10} \right)^2 + 3.26 \times \frac{V_{DG}}{N_D \times 10^{18}}} \quad (1)$$

$$x > \sqrt{\frac{0.226T}{N_D \times 10^{18}}} \times \left( 18 + \ln \frac{N_D}{10^{18}} \right) \quad (2)$$

【0042】 x は、NSG 膜 9 とシリコン基板表面の拡散層 6 とが接する部分のゲート電極側の端部と、ゲート酸化膜 2 のコンタクトホール側の端部との距離である。 $T_{ox}$  は、ゲート酸化膜の端部の膜厚である。また、ゲート電極とドレイン領域との間の電圧を  $V_{DG}$  (V)、ドレイン領域の不純物濃度を  $N_D$  ( $\text{cm}^{-3}$ )、半導体装置の使用温度を T (K) とする。

【0043】 上記の式（1）または（2）を満たすように半導体装置を設計することにより、コンタクトホール

をゲート電極と近接して設けた場合にもリーク電流の発生を効果的に防止することができる。これにより、素子の微細化に対する要請に応えつつ、リーク電流の発生が抑制された耐圧特性に優れる半導体装置が提供される。

【0044】 上記の式（1）、（2）は以下のようにして導かれる。ゲート電極直下に広がる空乏層の幅 L は、下記式（3）により与えられる。

【0045】

【数 4】

$$L = \frac{-T_{ox} \epsilon_s + \sqrt{T_{ox}^2 \epsilon_s^2 + \frac{2 \times 10^{12} \times \epsilon_s \epsilon_s \epsilon_s}{q N_D} \times V_{DG}}}{\epsilon_s}$$

【0046】 ここで、x（コンタクトホール-ゲート間距離）の値が、空乏層の広がりよりも大きければ、すなわち  $x > L$  であれば GIDL の発生頻度を著しく低減することができる。この不等式に上記（3）式を代入し、さらに以下の数値を代入することによって上記（1）式が得られる。

$\epsilon_0 = 8.854 \times 10^{-12}$  [F/m]

$\epsilon_s = 11.8$

$\epsilon_{ox} = 3.9$

$q = 1.602 \times 10^{-19}$  [C]

【0047】 また、空乏層近似によれば、空乏層の広がりには上限があり、その値  $L_{max}$  は、下記式（4）で与えられる。

【0048】

【数 5】

$$L_{max} = \sqrt{\frac{4 \epsilon_s \epsilon_s}{q N_D \times 10^{18}} \times \frac{kT}{q} \ln \frac{N_D \times 10^6}{n_i} \times 10^6} \quad (4)$$

【0049】 この  $L_{max}$  よりも x の方が大きければ、すなわち、 $x > L_{max}$  であれば GIDL の発生頻度を著しく低減することができる。

【0050】 この不等式に上記（4）式を代入し、さらに以下の数値を代入することによって上記（2）式が得られる。

$\epsilon_0 = 8.854 \times 10^{-12}$  [F/m]

$\epsilon_s = 11.8$

$k = 1.38 \times 10^{-23}$  [J/K]

$n_i = 1.5 \times 10^{16}$  [ $\text{cm}^{-3}$ ]

$q = 1.602 \times 10^{-19}$  [C]

【0051】 以上のように、式（1）または（2）を満

たせば、GIDLが防止される。

【0052】図3は、ゲート電極端部におけるゲート酸化膜の厚みと、空乏層の幅との関係についてシミュレーションを行った結果を示す。ドレイン-ゲート間の電圧は、2Vおよび3Vとした。図中、白抜き三角で示した点は $N0 = 5 \times 10^{17} \text{ cm}^{-3}$ 、黒塗り四角で示した点は $N0 = 1 \times 10^{18} \text{ cm}^{-3}$ としたときのシミュレーション結果である。GIDLの発生を防止するには、図2におけるゲート電極-コンタクトホール側端部との距離 $x$ を、空乏層の幅よりも大きくすればよい。したがって、ゲート電極-コンタクトホール側端部との距離 $x$ およびゲート端部の酸化膜の厚 $T_{ox}$ を、図3の実線より上方に位置する領域内に入るように設計すれば、GIDLの発生を効果的に防止することができる。

【0053】そこで、本実施形態の半導体装置は、ゲート酸化膜の厚みと、ゲート電極-コンタクトホール間の距離 $x$ との関係が上記領域内にある、かつ、ゲート酸化膜の端部厚を中央部の1.4~3.0倍とし、ゲート酸化膜の中央部厚を10nm以下とすることにより、GIDLの防止を図っている。なお、上述のようにCVD法によるNSG膜などが基板と接するの、ゲート電極とサイドウォールを形成する場合にも起こる。すなわち、CVD法によるNSG膜を層間絶縁膜とし、ゲート電極およびサイドウォールを覆うように被覆したとき、NSG膜が基板と接する。この場合には、サイドウォールの幅を $x$ とし、この $x$ が上記式(1)、(2)を満たすようにすればGIDLが防止される。

【0054】

【実施例】(第1の実施例) 本発明の第1の実施例について図4、5を参照して説明する。

【0055】まず図4のように、熱酸化によりシリコン基板表面にゲート酸化膜となるシリコン酸化膜2を膜厚10nm程度形成した。次いでその上に、リンドープポリシリコン3、WSi4を、それぞれ、CVD法により膜厚100nmとして成膜した(図4(a))。

【0056】つづいてシリコン酸化膜2、リンドープポリシリコン3およびWSi4をパターニングしてゲート電極を形成した。ゲート長は0.3 $\mu\text{m}$ とした(図4(b))。

【0057】次に、ゲート電極が設けられた位置を除いて、ゲート電極周囲部のシリコン基板1を3nmドライエッチングした(図4(c))。

【0058】この状態で加熱処理を行った。加熱処理の条件は、雰囲気温度800℃、処理時間40分とした。この条件は、表面が平坦なシリコン基板を処理したときに膜厚5nmの熱酸化膜が形成される条件である。この熱酸化により全面にシリコン酸化膜が形成されるが、このとき、ゲート端部においてゲート酸化膜2の厚膜部が生じる(図5(d))。これは、前の工程でゲート電極周囲のシリコン基板1をエッチングにより掘り下げた

ため、これにより露出したゲート電極側面からの酸化が進み、ゲート酸化膜2の上部および下部にバースピークが発生するためである。この点、従来技術においては、図6図み部のように、ゲート酸化膜2の上部にしかバースピークがほとんど発生しない。ゲート酸化膜2の下部のポリシリコンが露出していないため、この部分で酸化が進行しないからである。

【0059】その後、イオン注入により拡散層6を形成し、MOSFETを完成した(図5(e))。なお、シリコン酸化膜5の形成とイオン注入を行う順序は、逆にしてもよい。

【0060】完成したMOSFETについてSEMによる断面観察を行ったところ、ゲート電極端部におけるシリコン酸化膜の厚みは14nmであることが確認された。また、WSi4の異常酸化は認められなかった。

【0061】本実施例の方法によれば、WSi4の異常酸化が起こらないような比較的弱い酸化条件でも、ゲート酸化膜2の端部に厚膜部を発生させることができる。これにより、ゲート端部のドレイン領域との境界において電界の集中を緩和し、リーク電流を効果的に防止することができる。

【0062】本実施例の方法により作製したMOSFETをメモリセルトランジスタとして有するDRAMについて、ホールド時間の評価を行った。結果を図7に示す。図中、Aは側面酸化を行わずに作製したもの、Bは、図12に示した従来方法により側面酸化を行ったもの、Cは本実施例の方法により側面酸化を行ったものを示す。B、Cの側面酸化は、いずれも雰囲気温度800℃、処理時間40分であり、表面が平坦なシリコン基板を処理したときに膜厚4nmの熱酸化膜が形成される条件とした。両者の相違する点は、Bは図12(b)に示したように基板をエッチングすることなく側面酸化を行い(条件1)、Cは、図5(d)に示したように基板をエッチングしてから側面酸化を行っている(条件2)点である。ゲート酸化膜中央部の膜厚はA~Cのいずれも10nmである。一方、ゲート酸化膜端部の膜厚は、Aは10nm、Bは12nm、Cは14nmである。すなわち、側面酸化により発生したバースピーク由来の酸化膜厚は、Aは0nm、Bは2nm、Cは4nmである。図に示すように、本実施例の方法(図中C)によれば、ホールド時間を大幅に改善できることが明らかである。

【0063】(第2の実施例) 本発明の第2の実施例について図8を参照して説明する。本実施例に示す方法は、ゲート電極周囲のシリコン基板をエッチングする工程が第1の実施例と異なる。

【0064】まず、熱酸化によりシリコン基板表面にゲート酸化膜となるシリコン酸化膜2を膜厚10nm程度形成した。次いでその上に、リンドープポリシリコン3、WSi4を、それぞれ、CVD法により膜厚100nmとして成膜した(図8(a))。



【0065】 ついてシリコン酸化膜2、リンドープポリシリコン3およびWSi4をパターニングしてゲート電極を形成した。このとき、エッチングはSi基板でストップする(図8(b))。ゲート長は0.3μmとした。

【0066】 次に、雰囲気温度800℃、処理時間40分として第一の加熱処理を行った。この条件は、表面が平坦なシリコン基板を処理したときに膜厚4nmの熱酸化膜が形成される条件である。この熱酸化により全面にシリコン熱酸化膜7が形成される(図8(c))。

【0067】 次にドライエッチングあるいはウェットエッチングによりシリコン熱酸化膜7を除去する。これにより、ゲート電極が設けられた位置を除いて、ゲート電極周囲部のシリコン基板1がシリコン熱酸化膜7の膜厚分の約半分だけエッチングされる。(図8(d))。

【0068】 その後、第1の実施例と同様にして第二の加熱処理を行い、ゲート電極の側面の酸化によりバースピークを発生させた。ついで拡散層6を形成し、MOSFETを完成した。

【0069】 本実施例の方法によれば、シリコン熱酸化膜7の膜厚分の約半分だけシリコン基板1をエッチングすることができる。このエッチング量の調整によりゲート酸化膜2の下部に形成されるバースピーク長を制御できるので、結局、シリコン熱酸化膜7の膜厚を調整することによってゲート酸化膜2端部の膜厚を制御することができる。ここで、シリコン熱酸化膜7の膜厚は酸化条件の調整により容易に制御できることから、本実施例の方法によれば、ゲート酸化膜2端部の膜厚を設計通りに制御することができる。

【0070】 (第3の実施例) 上述した第1および第2の実施例で、ゲート電極周囲部のシリコン基板1をエッチングした直後(図4(c)、図8(d))、ウェットエッチングによりゲート酸化膜2の側面をエッチングしてもよい。エッチング液としては、たとえば希フッ酸(HF:H<sub>2</sub>O=1:200~1:400)を用いることができる。側面をエッチングし、図9に示すようにゲート酸化膜2が内側に凹んだ形状とすることにより、ゲート電極側面からの酸化の進行をより促進することができる。これにより、ゲート電極上部の金属膜に電影響を与えない弱い酸化条件でもゲート酸化膜2の端部の膜厚を十分に厚くすることができる。

【0071】

【発明の効果】 以上説明したように本発明の半導体装置は、ゲート酸化膜の膜厚を端部において厚くしてため、ゲート端部のドレイン領域との境界において電界の集中を緩和し、リーク電流を効果的に防止することがで

きる。またゲート電極の上層部が金属材料からなるため、優れた応答性が得られる。

【0072】 また本発明の半導体装置の製造方法は、ゲート電極周囲の基板を所定深さまでエッチングするため、ゲート電極側面における酸化の進行を促進し、ゲート酸化膜の端部に厚膜部を形成することができる。ゲート酸化膜の端部の膜厚は、基板のエッチング量を調整することで精密に制御することができる。

【0073】 また本発明の半導体装置の製造方法において、加熱処理によりシリコン熱酸化膜を形成した後、このシリコン熱酸化膜を除去することによりゲート電極周囲の基板を除去する方法をとれば、ゲート酸化膜の端部の膜厚をさらに精密に制御することができる。

#### 【図面の簡単な説明】

【図1】 本発明の半導体装置の断面模式図である。

【図2】 本発明の半導体装置の断面模式図である。

【図3】 ゲート酸化膜と空乏層の伸びとの関係を示す図である。

【図4】 本発明の半導体装置の製造方法の工程断面図である。

【図5】 本発明の半導体装置の製造方法の工程断面図である。

【図6】 本発明の半導体装置の製造方法の工程断面図である。

【図7】 本発明の半導体装置および従来技術に係る半導体装置のホールド時間評価結果を示す図である。

【図8】 本発明の半導体装置の製造方法の工程断面図である。

【図9】 本発明の半導体装置の製造方法の工程断面図である。

【図10】 従来の半導体装置の断面模式図である。

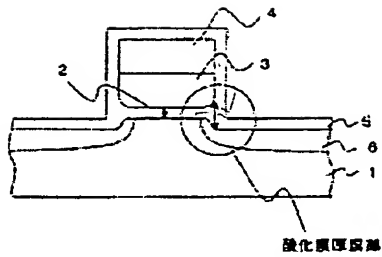
【図11】 従来の半導体装置の断面模式図である。

【図12】 従来の半導体装置の製造方法の工程断面図である。

#### 【符号の説明】

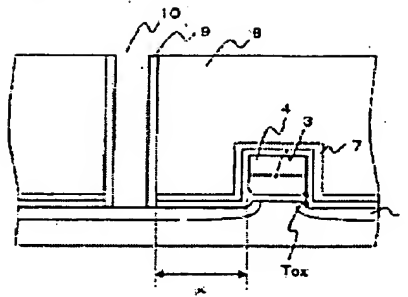
- 1 シリコン基板
- 2 ゲート酸化膜
- 3 リンドープポリシリコン
- 4 WSi<sub>4</sub>
- 5 シリコン酸化膜
- 6 拡散層
- 7 シリコン熱酸化膜
- 8 層間絶縁膜
- 9 NSG膜
- 10 コンタクトホール

【図1】



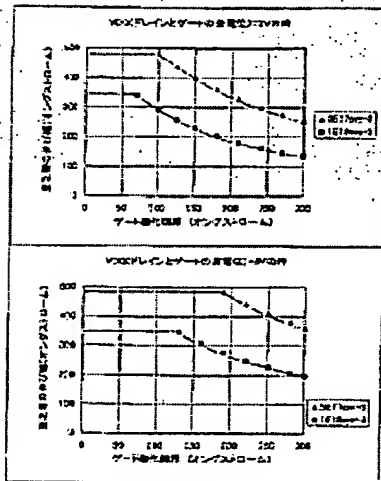
- 1 シリコン基板
- 2 ゲート酸化膜
- 3 リンドープポリシリコン
- 4 WSi
- 5 シリコン酸化膜
- 6 接触層

【図2】

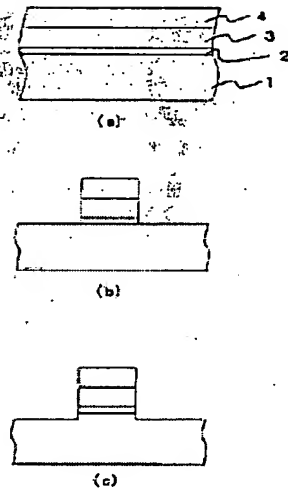


- 3 リンドープポリシリコン
- 4 WSi
- 5 接触層
- 6 シリコン酸化膜
- 7 層間絶縁膜
- 8 NSG膜
- 9 NSG膜
- 10 コンタクトホール

【図3】

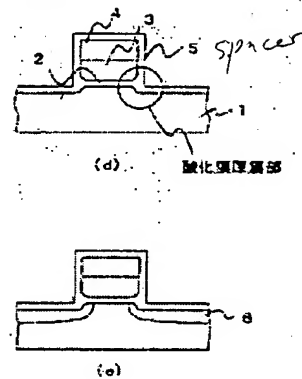


【図4】



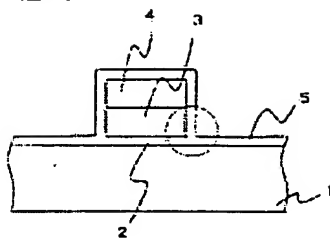
- 1 シリコン基板
- 2 ゲート酸化膜
- 3 リンドープポリシリコン
- 4 WSi

【図5】



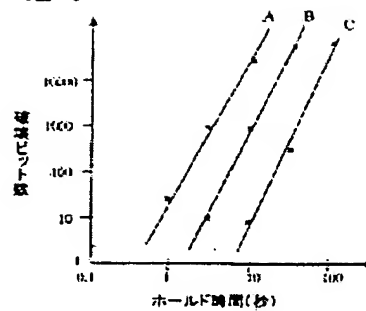
- 1 シリコン基板
- 2 ゲート酸化膜
- 3 リンドープポリシリコン
- 4 WSi
- 5 シリコン酸化膜
- 6 接触層

【図 6】



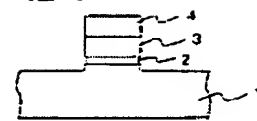
- 1 シリコン基板
- 2 ゲート酸化膜
- 3 リンドープポリシリコン
- 4 WSi
- 5 シリコン酸化膜

【図 7】



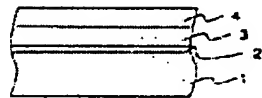
- A 側面酸化なし
- B 側面酸化あり 条件1
- C 側面酸化あり 条件2

【図 9】



- 1 シリコン基板
- 2 シリコン酸化膜
- 3 リンドープポリシリコン
- 4 WSi

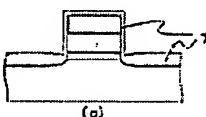
【図 8】



(a)



(b)



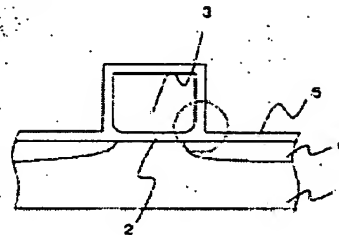
(c)



(d)

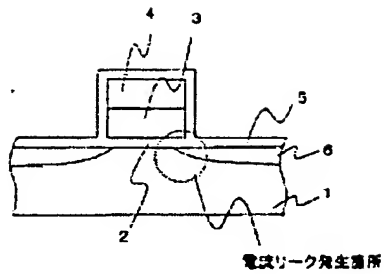
- 1 シリコン基板
- 2 シリコン酸化膜
- 3 リンドープポリシリコン
- 4 WSi
- 7 シリコン酸化膜

【図 10】



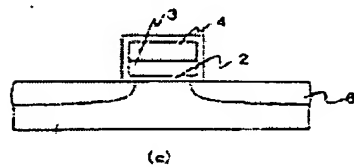
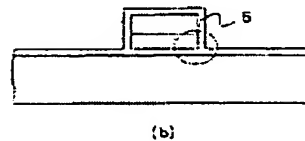
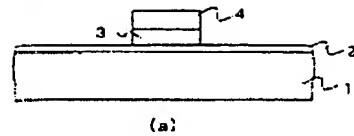
- 1 シリコン基板
- 2 ゲート酸化膜
- 3 リンドープポリシリコン
- 5 シリコン酸化膜
- 6 紅敷層

【図 11】



- 1 シリコン基板
- 2 ゲート酸化膜
- 3 リンドープポリシリコン
- 4 WSi
- 5 シリコン窒化膜
- 6 接触層

【図 12】



- 1 シリコン基板
- 2 ゲート酸化膜
- 3 リンドープポリシリコン
- 4 WSi
- 5 シリコン窒化膜
- 6 接触層

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**